



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0015696
Application Number

출원 년 월 일 : 2003년 03월 13일
Date of Application MAR 13, 2003

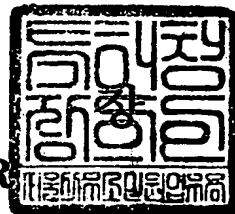
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.13
【국제특허분류】	H01L 21/60
【발명의 명칭】	테스트 패드를 갖는 반도체 칩과 그를 이용한 테이프 캐리어 패키지
【발명의 영문명칭】	Semiconductor chip having test pads and tape carrier package using thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	김동한
【성명의 영문표기】	KIM,Dong Han
【주민등록번호】	640217-1019716
【우편번호】	447-721
【주소】	경기도 오산시 원동 오산운암주공5단지 아파트 506동 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 윤동열 (인) 대리인 이선희 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 426,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포
괄위임등록, 1999년 3월 15일 복대리인 선임]_1통

【요약서】**【요약】**

본 발명은 집적회로 동작에 대한 신뢰성을 검사하기 위한 테스트 패드를 갖는 반도체 칩과 그를 이용한 테이프 캐리어 패키지에 관한 것이다. 집적회로가 형성된 주 회로 영역과 그 집적회로와 연결된 칩 패드들이 형성되는 주변 영역으로 구분되는 사각형 형태의 활성면을 갖는 반도체 칩에 있어서, 집적회로와 배선으로 연결되어 주변 영역에 형성된 집적회로 특성 검사를 위한 복수의 테스트 패드들을 갖는 것을 특징으로 하는 반도체 칩을 제공하고, 전술한 바와 같은 칩과; 절연성의 베이스 필름과, 상기 베이스 필름에 형성된 배선 패턴과, 상기 배선 패턴과 일체형으로 형성된 리드를 갖는 테이프 배선 기판; 및 상기 칩 패드와 그에 대응되는 상기 리드를 접속시키는 범프들; 을 포함하는 것을 특징으로 하는 테이프 캐리어 패키지를 제공함으로써, 종래 테스트 패드들을 주 회로 영역에 배치함으로 인하여 필요했던 영역만큼 반도체 칩의 크기가 감소될 수 있으며, 그에 따라 웨이퍼 한 장에서 얻을 수 있는 칩 수량이 증가될 수 있다. 또한, 칩 실장에 있어서의 반도체 칩과 기판간의 결합력 증가에 의해 신뢰성이 향상될 수 있다.

【대표도】

도 3

【색인어】

반도체 칩, 테스트 패드, 더미 패드, 테이프 캐리어 패키지, 필름

【명세서】

【발명의 명칭】

테스트 패드를 갖는 반도체 칩과 그를 이용한 테이프 캐리어 패키지{Semiconductor chip having test pads and tape carrier package using thereof}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 칩을 나타낸 평면도이고,
도 2a 내지 도 2c는 도 1의 A, B, C 부분의 확대도이며,
도 3은 본 발명에 따른 반도체 칩의 일 실시예를 나타낸 평면도이고,
도 4는 도 3의 D 부분의 확대도이며,
도 5와 도 6은 본 발명에 따른 테이프 캐리어 패키지의 일 실시예를 나타낸 평면도와 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

10,210; 반도체 칩 11,211; 주 회로영역

12,212; 주변영역 13,213; 칩 패드

17,217; 테스트 패드 18,218; 배선

215,216; 더미 패드 310; 테이프 캐리어 패키지

311; 테이프 배선 기판 312; 베이스 필름

313; 배선패턴 315; 리드

317; 윈도우(window) 319; 더미 리드

321; 범프

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15> 본 발명은 반도체 장치에 관한 것으로서, 더욱 상세하게는 집적회로 동작에 대한 신뢰성을 검사하기 위한 테스트 패드를 갖는 반도체 칩과 그를 이용한 테이프 캐리어 패키지에 관한 것이다.
- <16> 반도체 장치의 제조 공정은 크게 웨이퍼 가공(fabrication) 공정과 패키지 조립(assembly) 공정으로 구분될 수 있다. 웨이퍼 가공 공정에 의해 반도체 웨이퍼 상에는 트랜지스터, 저항, 커패시터 등과 같은 소자가 집적되어 소정 기능을 하는 회로가 형성된다. 그리고, 패키지 조립 공정에서 반도체 웨이퍼가 절단되어 다수의 반도체 칩이 얻어지며, 개개의 반도체 칩은 칩 상태로 제공되거나 또는 적절한 형태로 패키징(packaging)이 되어 최종 제품으로 제공된다. 제조 공정의 진행 중이나 제조 완료 후에는 반도체 제조 방법의 성능을 모니터링하고 반도체 웨이퍼 상에 형성된 소자의 품질을 수시로 테스트하여 동작에 대한 신뢰성을 확보하기 위한 테스트 공정이 진행된다.
- <17> 웨이퍼 상태에서 테스트 공정의 진행을 위하여 반도체 웨이퍼의 각 칩에는 외부와의 입출력을 위한 칩 패드와는 별도로 내부의 선택된 소자에 전기적 경로를 제공하고 전기적 파라미터(parameter)가 외부 테스트 장치의 테스트 프로브(test probe)를 통해 측정될 수 있도록 테스트 패드(test pad)가 제공된다. 테스트 패드를 이용하여 테스트를 진행함으로써 집적회로의 신뢰성이 검증되며 측정된 파라미터를 설계된 파라미터와 비교함으로써 반도체 제조 방법의 성능 검사가 이루어질 수 있다.

- <18> 테스트 패드는 테스트 프로브를 수용할 수 있도록 하는 크기를 가지며 집적회로가 형성되는 주 회로영역에 형성되며 유용한 웨이퍼 영역의 사용을 최대화하기 위하여 칩 사이의 영역에 배치되기도 한다. 디스플레이 구동용 반도체 칩의 경우 웨이퍼 상태에서 테스트를 위하여 칩 사이의 영역이 아닌 각각의 반도체 칩 내에 테스트 패드들이 제공된다.
- <19> 도 1은 종래 기술에 따른 반도체 칩을 나타낸 평면도이고, 도 2a 내지 도 2c는 도 1의 A, B, C 부분의 확대도이다.
- <20> 도 1내지 도 2c를 참조하면, 종래의 반도체 칩(210)은 집적회로가 형성되는 주 회로영역(211)과 그 외측의 주변 영역(212)으로 구분된다. 이 반도체 칩(210)은 주 회로영역(211)의 집적회로와 연결되어 외부와의 입출력을 위한 칩 패드들(213)이 활성면의 가장자리 네 변 각각에 인접하여 형성되어 있는 에지패드형(edge pad type) 반도체 칩이다. 칩 패드들(213)은 각각의 변과 평행하는 열을 이루도록 주변영역(212)에 배치되어 있다. 그리고, 칩 패드들(213)들이 이루는 열 상에는 칩 실장시의 결합력 향상을 위한 더미 패드들(215)이 형성되어 있다. 이 더미 패드들(215)은 도 2c에서 나타난 바와 같이 칩 패드들(213)이 집적회로와 연결되는 것과는 달리 집적회로와 칩 패드들(213)과 연결되지 않고 패드 형태만 가진다.
- <21> 그리고, 이 반도체 칩(210)은 칩 패드들(213)과는 별도로 도 1에서 확대된 부분인 도 2a와 도 2b에서 나타난 바와 같이 주 회로영역(211) 상에 내부의 집적회로와 배선(218)으로 연결된 복수의 테스트 패드들(217)이 그룹화되어 형성되어 있다. 각각의 테스트 패드들(217)은 외부 테스트 장치의 테스트 프로브가 접촉될 수 있을 정도의 충분한 크기로 형성된다. 테스트 패드들(217)에 대하여 도 2a와 도 2b에서는 테스트 패드들

(217)이 각각 10개씩 도시되어 있으나 테스트 패드들(217)이 도시된 수에 한정되지 않고 반도체 칩(210) 전체에 걸쳐 배열 형성된다.

<22> 전술한 예에서 나타난 바와 같이 종래의 반도체 칩은 집적회로와 연결된 테스트 패드들이 칩 내에 마련됨으로써 공정의 진행 중이나 완료 후에 웨이퍼 상태에서 외부 테스트 장치의 테스트 프로브를 접촉시켜 반도체 칩의 회로특성을 평가할 수 있게 되어 있다. 예를 들어, 웨이퍼 가공 공정의 완료 후에 전기적 특성 테스트(Electric Die Sorting test)를 진행하여 칩의 전기적 특성에 대한 상태를 판정하여 양호 칩과 불량 칩으로 분류할 수 있게 된다.

<23> 그런데, 이와 같은 종래의 반도체 칩에 있어서 테스트 패드들은 웨이퍼 상태에서 이루어지는 테스트를 위하여 마련되기 때문에 테스트 공정이 완료된 후에는 그 사용 목적을 상실하게 된다. 따라서, 최종적인 제품 상태에서 테스트 패드들은 반도체 칩에서 불필요한 면적을 차지하고 있게 된다. 즉, 실제 제조가 완료된 상태에서는 불필요한 테스트 패드들이 칩 내에 일정 면적을 차지함으로써 칩 크기 감소 측면에 있어서의 제한 요인으로 작용하게 된다. 또한, 테스트 패드들이 주 회로영역에 배치됨으로 인하여 테스트 프로브 접촉시 가해지는 물리적 충격에 의해 집적회로가 손상될 수 있으며, 이의 방지를 위하여 막질을 추가하여야 하는 문제점이 있다.

<24> 한편, 칩과 칩 사이의 영역에 테스트 패드들을 형성하는 경우라도 기본적으로 테스트 패드들이 구비되어야 하기 때문에 칩 내에 테스트 패드들이 형성된 경우와 마찬가지로 한 장의 웨이퍼에서 얻을 수 있는 칩의 수량을 증가시키지는 못한다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명의 목적은 테스트 패드들을 주 회로영역으로부터 제거하고 여유 영역에 테스트 패드를 배치하여 칩 크기를 감소시킬 수 있는 반도체 칩과 그를 이용한 테이프 캐리어 패키지를 제공하는 데에 있다.

【발명의 구성 및 작용】

<26> 이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 칩은 집적회로가 형성된 주 회로영역과 그 집적회로와 연결된 칩 패드들이 형성되는 주변영역으로 구분되는 사각형 형태의 활성면을 갖는 반도체 칩에 있어서, 집적회로와 배선으로 연결되어 주변영역에 형성된 집적회로 특성 검사를 위한 복수의 테스트 패드들을 갖는 것을 특징으로 한다. 테스트 패드들을 주 회로영역에서 주변영역의 여유 공간에 배치되도록 함으로써 주 회로영역에 테스트 패드들의 배치를 위해 필요한 영역만큼의 크기가 감소될 수 있다.

<27> 바람직하게는 칩 패드들이 인접한 활성면 가장자리의 변과 평행하는 열을 이루며 배치되도록 하고, 테스트 패드들이 칩 패드들이 이루는 열 상에 형성되도록 한다. 이에 의해 칩 패드들과 테스트 패드들의 분포가 전체적으로 균형을 이루게 되어 반도체 칩을 뿔프 본딩에 의해 칩 실장할 때 결합력이 향상될 수 있다. 더욱 바람직하게는 테스트 패드들이 칩 패드들과 함께 동일 간격으로 배치되도록 하거나, 테스트 패드들이 칩 패드들이 이루는 열의 양쪽 가장자리에 형성되도록 하거나, 칩 패드들이 형성되지 않는 활성면의 모서리 부분에 형성되도록 한다.

<28> 본 발명의 반도체 칩은 칩 패드들이 그에 인접한 활성면 가장자리의 네 변과 평행하는 열을 이루며 배치되도록 하고 그 칩 패드들이 이루는 각각의 열 상에 테스트 패드

들이 형성되도록 할 수 있다. 그리고, 테스트 패드들은 칩 패드들이 이루는 열 상에서 칩 패드들 사이에 형성될 수 있으며, 칩 패드와 동일 크기로 형성될 수 있다.

<29> 한편, 전술한 목적을 달성하기 위한 본 발명에 따른 테이프 캐리어 패키지는, 집적 회로가 형성된 주 회로영역과 그 집적회로와 연결되어 외부와의 입출력을 위한 칩 패드들이 형성된 주변영역으로 구분되는 사각형 형태의 활성면을 가지며, 칩 패드들이 활성면 가장자리의 변과 평행하는 열을 이루어 배치되어 있고, 집적회로와 연결되어 있으며 칩 패드들의 열 상에 집적회로 특성을 검사하기 위한 테스트 패드들이 형성된 반도체 칩과; 절연성의 베이스 필름과, 그 베이스 필름에 형성된 배선 패턴과, 그 배선 패턴과 일체형으로 형성된 리드, 및 배선패턴과 전기적으로 격리된 더미리드를 갖는 테이프 배선기판; 및 칩 패드들과 테스트 패드들을 그에 대응되는 리드와 더미리드를 접속시키는 범프들; 을 포함하는 것을 특징으로 한다.

<30> 이하 첨부 도면을 참조하여 본 발명에 따른 테스트 패드를 갖는 반도체 칩과 그를 이용한 테이프 캐리어 패키지를 보다 상세하게 설명하고자 한다.

<31> 도 3은 본 발명에 따른 반도체 칩의 일 실시예를 나타낸 평면도이고, 도 4는 도 3의 D 부분의 확대도이다.

<32> 도 3과 도 4를 참조하면, 본 발명에 따른 반도체 칩(10)은 디스플레이 구동용 반도체 칩으로서, 주 회로영역(11)과 주변영역(12)으로 구분되는 사각형 형태의 활성면을 갖는다. 주 회로영역(11)에는 트랜지스터, 저항, 커패시터 등과 같은 소자가 집적되어 소정 기능을 하는 집적회로(도시안됨)가 구현된다. 주변영역(12)에는 주 실장영역(11)의 집적회로와 연결되어 외부와의 입출력을 위한 접속단자로서 칩 패드들(13)이 형성되어

있다. 칩 패드들(13)은 활성면의 네 변에 각각 인접하며 각각의 변에 대하여 평행하는 열을 이루고 있다.

<33> 칩 패드들(13)이 이루는 열 상에는 집적회로의 특성을 검사하기 위하여 배선(18)으로 집적회로와 연결된 테스트 패드들(16,17)이 형성되어 있다. 테스트 패드들(16,17)은 웨이퍼 상태에서 집적회로 특성을 검사하는 외부 테스트 장치의 테스트 프로브가 접촉될 수 있는 충분한 크기로 형성된다. 여기서는 칩 패드들(13)과 동일한 크기로 형성되어 있다.

<34> 테스트 패드들(16,17)은 칩 패드들(13)이 이루는 열의 양측 가장자리부터 형성되어 활성면의 모서리 부분에 배치된 테스트 패드들과(17) 칩 패드들(13) 사이에 비어있는 영역에 형성된 테스트 패드들(16)을 갖는다. 테스트 패드들(16,17)과 칩 패드들(13)은 모두 동일 열 상에서 동일 간격을 유지한다. 이에 의해 테스트 패드들(16,17)에 의해 칩 실장의 물리적 결합 구조에 있어서의 전체적인 균형을 이룰 수 있게 되며 결합력이 향상된다.

<35> 전술한 실시예에서와 같이 본 발명에 따른 반도체 칩은 테스트 패드들이 주 회로영역이 아닌 주변영역에 형성되고, 주변영역 중에서 칩 패드들이 형성되지 않는 여유영역에 형성되며, 칩 패드들이 이루는 열 상에 배치된다. 따라서, 종래와 달리 테스트 패드들을 위하여 주 회로영역에서 별도의 영역이 필요하지 않다. 따라서, 테스트 패드들이 차지했던 면적만큼 칩 크기가 감소될 수 있다. 그리고, 웨이퍼 한 장에서 얻을 수 있는 반도체 칩의 수량이 증가될 수 있으며, 종래와 동일한 크기의 칩 사이즈를 갖도록 할 경우에 패턴 형성의 여유도가 증가될 수 있다.

- <36> 범프 본딩에 의한 칩 실장시에는 테스트 패드들에도 범프 본딩이 이루어지도록 하여 기판과의 결합력이 향상될 수 있으며, 칩 패드들과 테스트 패드들이 동일 간격으로 배치되도록 함으로써 반도체 칩이 기판에 균형을 이루며 실장될 수 있다. 그리고, 칩 패드들이 형성되지 않는 모서리 부분에 테스트 패드들이 배치되어 범프 본딩으로 기판에 결합됨으로써 결합력이 더욱 향상될 수 있다.
- <37> 전술한 실시예에서는 4개의 각 변에 인접하여 칩 패드들이 배치된 에지패드형(edge pad type)의 반도체 칩 구조인 것을 소개하였으나 본 발명은 그에 한정되지 않고 다양하게 변형 실시될 수 있다. 예를 들어, 2변에 칩 패드들이 배치된 형태로서 적용될 수 있고, 칩 패드들이 활성면의 중앙에 배치된 센터패드형(center pad type)의 반도체 칩 구조에서도 적용될 수 있다. 이와 같은 본 발명의 반도체 칩이 적용된 테이프 캐리어 패키지의 실시예를 소개하기로 한다.
- <38> 도 3과 도 4는 본 발명에 따른 테이프 캐리어 패키지의 실시예를 나타낸 평면도와 측면도이다.
- <39> 도 3과 도 4 및 도 1을 참조하면, 본 발명에 따른 테이프 캐리어 패키지(310)는 반도체 칩(10)이 테이프 배선 기판(311)에 범프 본딩에 의해 실장되어 있는 구조이다. 반도체 칩(10)은 활성면의 가장자리 4변에 평행하는 열을 이루며 주변영역(12)에 칩 패드들(13)과 테스트 패드들(17)이 형성되어 있다. 테스트 패드들(17)은 칩 패드들(13)이 이루는 열의 가장자리와 칩 패드들(13)이 사이에 형성되며 칩 패드들(13)과 테스트 패드들(17)은 동일 간격으로 배치되어 있다.
- <40> 테이프 배선 기판(311)은 폴리이미드 수지와 같은 절연성 베이스 필름(312) 위에 구리 박막의 라미네이팅(laminating)과 구리 박막에 대한 사진 식각에 의해 배선패턴

(312)이 형성되어 있고, 그 배선패턴이 솔더 레지스트(solder resist)의 재질로 이루어지는 보호막(314)으로 덮여 보호되고 있으며, 반도체 칩(10)과의 전기적인 연결을 위하여 배선패턴(313)에 연결된 리드(315)가 보호막(314)으로부터 노출되어 윈도우(window; 317)에까지 돌출된 구조이다. 베이스 필름(312)의 양측 가장자리에는 소정의 간격으로 스프로킷 홀(sprocket hole; 318)이 형성되어 있다. 리드들(315)의 가장자리에는 더미 리드들(319)이 형성되어 있다.

<41> 반도체 칩(10)은 칩 패드들(13)과 테스트 패드들(17)이 테이프 배선 기판(311)에 형성된 리드들(315)과 더미 리드들(319)에 각각 범프(321)로 본딩되어 실장 및 전기적인 연결이 이루어진다. 여기서, 각각의 더미 리드들(319)은 외부와의 전기적인 연결이 이루어지지 않는다.

<42> 전술한 실시예에서와 같은 본 발명의 테이프 캐리어 패키지는 칩 자체의 크기가 종래에 비하여 작으므로 패키지 크기가 감소될 수 있으며, 동시에 웨이퍼 상태 또는 칩 상태에서의 테스트가 완료되어 기능적 수명을 다한 테스트 패드들을 테이프 배선 기판의 더미 리드와 범프 본딩이 되도록 하여 반도체 칩과 테이프 배선 기판간의 결합력이 향상될 수 있다. 더욱이, 칩 패드들과 테스트 패드들이 칩 일면에 대하여 균형 있게 분포됨으로써 더욱 향상된 결합력을 가질 수 있다.

【발명의 효과】

<43> 이상에서 설명한 바와 같은 본 발명에 따른 반도체 칩과 테이프 캐리어 패키지에 의하면, 종래 테스트 패드들을 주 회로영역에 배치함으로 인하여 필요했던 영역만큼 반도체 칩의 크기가 감소될 수 있으며, 그에 따라 웨이퍼 한 장에서 얻을 수 있는 칩 수량

이 증가될 수 있다. 또한, 패키지 크기가 감소되고 동시에 칩 실장에 있어서의 반도체
칩과 기판간의 결합력 증가에 의한 신뢰성이 향상될 수 있다.

【특허청구범위】**【청구항 1】**

집적회로가 형성된 주 회로영역과 그 집적회로와 연결된 칩 패드들이 형성되는 주변영역으로 구분되는 사각형 형태의 활성면을 갖는 반도체 칩에 있어서, 상기 집적회로와 배선으로 연결되어 상기 주변영역에 형성된 집적회로 특성 검사를 위한 복수의 테스트 패드들을 갖는 것을 특징으로 하는 반도체 칩.

【청구항 2】

제 1항에 있어서, 상기 칩 패드들이 그에 인접한 활성면 가장자리의 변과 평행하는 열을 이루며 배치되어 있고, 상기 칩 패드들이 이루는 열 상에 상기 테스트 패드들이 형성된 것을 특징으로 하는 반도체 칩.

【청구항 3】

제 1항에 있어서, 상기 테스트 패드들은 상기 칩 패드들과 함께 동일 간격으로 배치되어 있는 것을 특징으로 하는 반도체 칩.

【청구항 4】

제 1항에 있어서, 상기 테스트 패드들은 상기 테스트 패드들은 상기 칩 패드들이 이루는 열의 양쪽 가장자리에 형성되는 것을 특징으로 하는 반도체 칩.

【청구항 5】

제 2항에 있어서, 상기 테스트 패드들은 활성면의 모서리 부분에 형성되는 것을 특징으로 하는 반도체 칩.

【청구항 6】

제 1항에 있어서, 상기 칩 패드들이 인접한 활성면 가장자리의 4변과 평행 하는 열을 이루며 배치되어 있고, 상기 칩 패드들이 이루는 각각의 열 상에 상기 테스트 패드들이 형성된 것을 특징으로 하는 반도체 칩.

【청구항 7】

제 2항에 있어서, 상기 테스트 패드들은 상기 칩 패드들이 이루는 열 상에서 상기 칩 패드들 사이에 형성된 것을 특징으로 하는 반도체 칩.

【청구항 8】

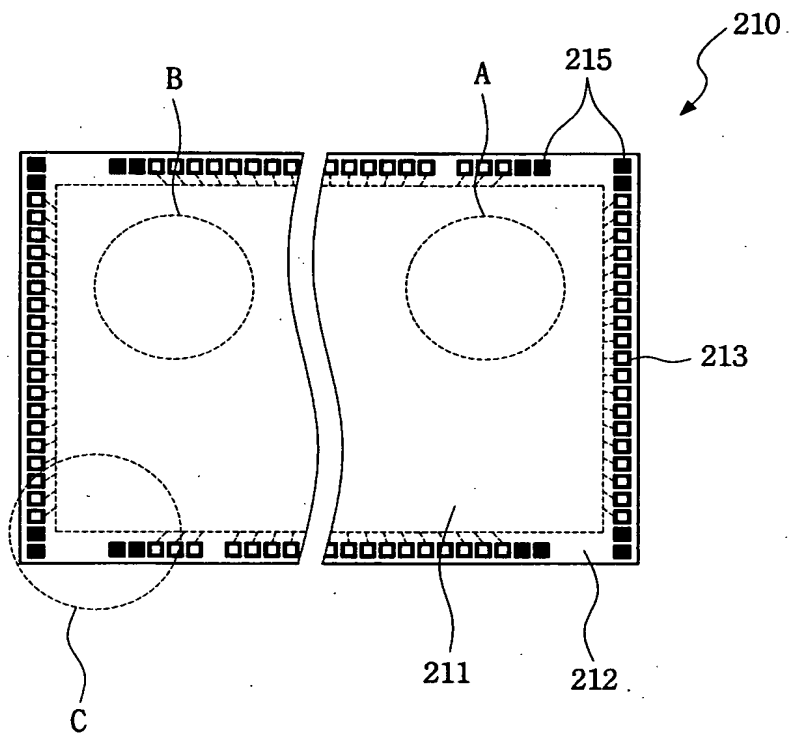
제 1항에 있어서, 상기 테스트 패드들은 칩 패드와 동일 크기로 형성된 것을 특징으로 하는 반도체 칩.

【청구항 9】

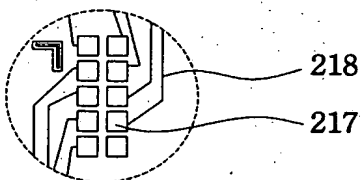
집적회로가 형성된 주 회로영역과 그 집적회로와 연결되어 외부와의 입출력을 위한 칩 패드들이 형성된 주변영역으로 구분되는 사각형 형태의 활성면을 가지며, 상기 칩 패드들이 활성면 가장자리의 변과 평행하는 열을 이루어 배치되어 있고, 상기 집적회로와 연결되어 있으며 상기 칩 패드들의 열 상에 상기 집적회로 특성을 검사하기 위한 테스트 패드들이 형성된 반도체 칩과; 절연성의 베이스 필름과, 상기 베이스 필름에 형성된 배선 패턴과, 상기 배선 패턴과 일체형으로 형성된 리드, 및 상기 배선패턴과 전기적으로 격리된 더미리드를 갖는 테이프 배선 기판; 및 상기 칩 패드들과 상기 테스트 패드들을 그에 대응되는 상기 리드와 상기 더미리드를 접속시키는 뱀프들;을 포함하는 것을 특징으로 하는 테이프 캐리어 패키지.

【도면】

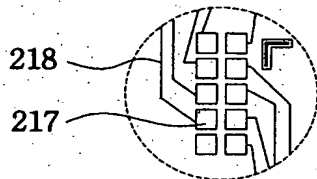
【도 1】



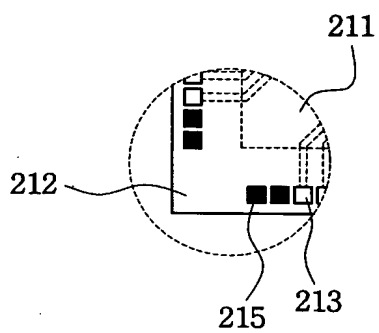
【도 2a】



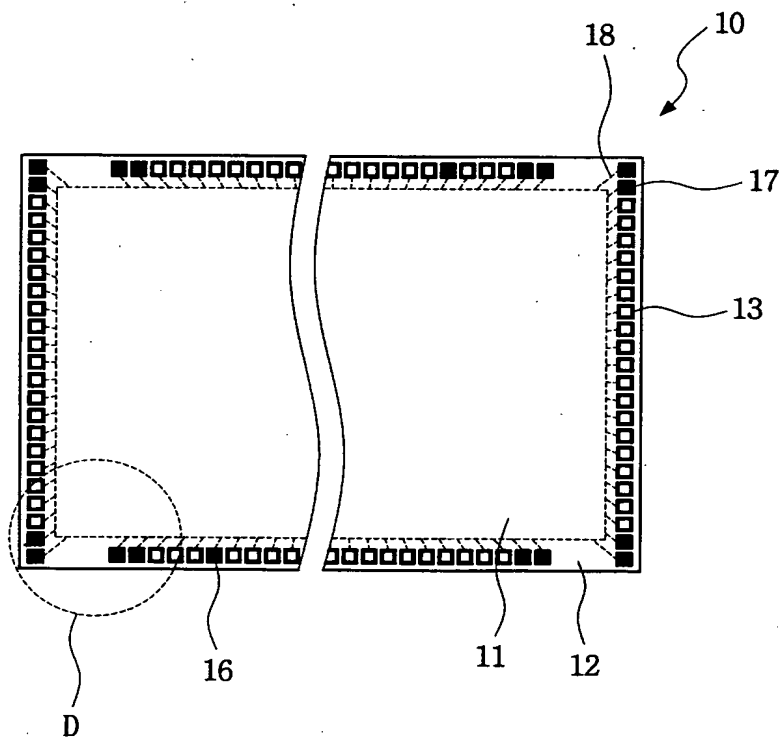
【도 2b】



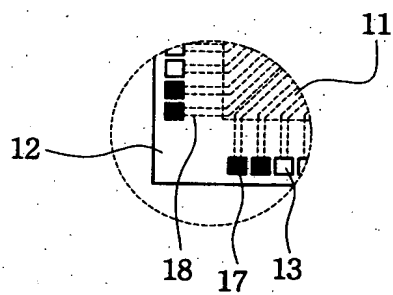
【도 2c】



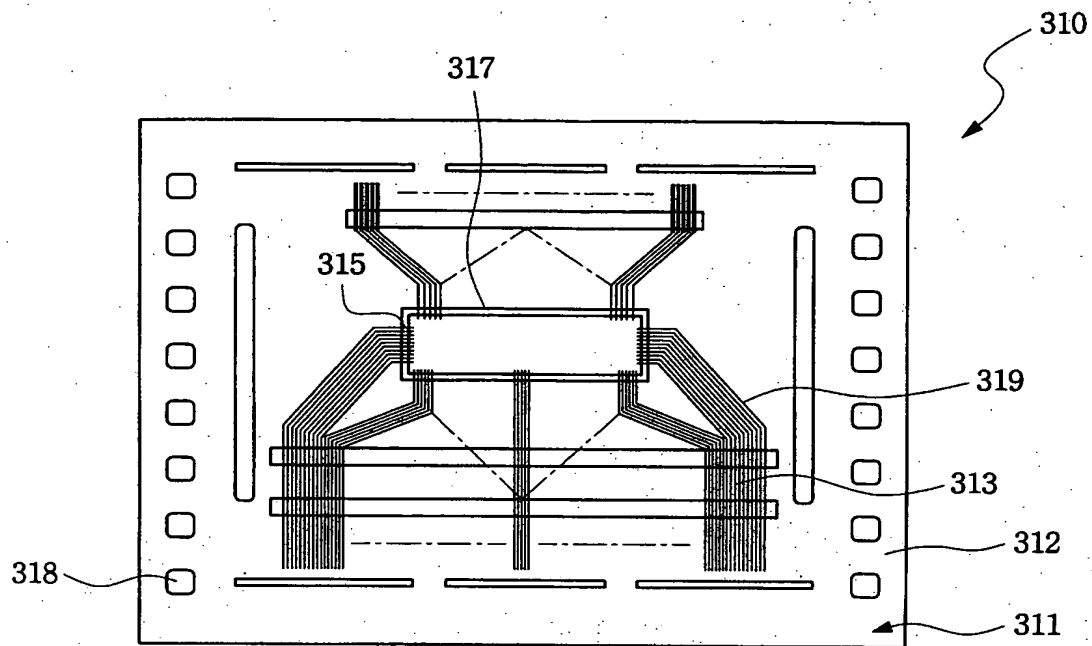
【도 3】



【도 4】



【도 5】



【도 6】

